

特開平9-93116

(43) 公開日 平成9年(1997)4月4日

(51) Int. Cl. 6	識別記号	府内整理番号	F I	技術表示箇所
H 03 K	19/0948		H 03 K	19/094
5/12			5/12	
17/687		9184-5 K	17/687	F

審査請求 未請求 請求項の数 1 O L (全 6 頁)

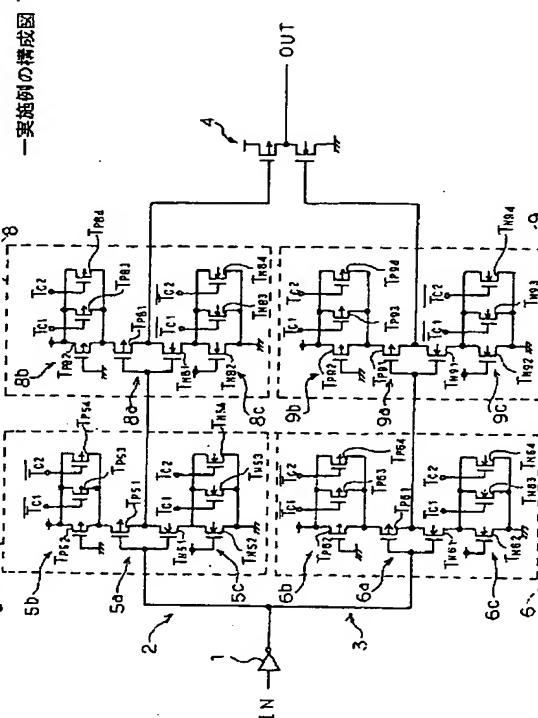
(21) 出願番号	特願平7-242669	(71) 出願人	000005223
(22) 出願日	平成7年(1995)9月21日	富士通株式会社	神奈川県川崎市中原区上小田中4丁目1番1号
		(72) 発明者	佐藤 善保 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 有我 軍一郎

## (54) 【発明の名称】半導体集積回路

## (57) 【要約】

【課題】 スルーレートを調節した場合でも、遅延時間を一定にすることができる、タイミング調整を不要にする。

【解決手段】 インバータゲートの電源電圧を変更することにより、該インバータゲートを介して出力される信号の立ち上がりや立ち下がりの傾斜を調整するスルーレート調節手段を有する半導体集積回路において、前記インバータゲートを2段構成とするとともに、前段のインバータゲートと後段のインバータゲートの双方の電源電圧を同量、かつ、逆向きに変更し得る電源電圧変更手段を備える。



## 【特許請求の範囲】

【請求項1】インバータゲートの電源電圧を変更することにより、該インバータゲートを介して出力される信号の立ち上がりや立ち下がりの傾斜を調整するスルーレート調節手段を有する半導体集積回路において、前記インバータゲートを2段構成とするとともに、前段のインバータゲートと後段のインバータゲートの双方の電源電圧を同量、かつ、逆向きに変更し得る電源電圧変更手段を備えたことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に關し、特に、出力信号のスルーレート調節機能を搭載した半導体集積回路に関する。近年、半導体集積回路の動作速度向上が著しく、例えば、100MHz（クロック速度）を超えるCPUも珍しくないが、かかる高速タイプの半導体集積回路をプリント基板に搭載した場合、プリント基板の設計によっては、システム動作が不安定になることがあった。高速タイプの半導体集積回路からの出力信号の多くは、当該半導体集積回路のクロックスピードに同期しており、同信号の立ち上がりや立ち下がりがきわめて急峻になっている。一般に、急激に変化する信号波形（典型的には方形波）は、信号の繰り返し周波数を中心にそのn倍（nは整数）の高調波を含むことが知られており、nの最大値は、波形が急激に変化するほど大きくなる。このため、高速タイプの半導体集積回路を実装したプリント基板の伝送線路から電磁的放射波が発生し、例えば、隣接する伝送線路等にノイズを誘起する結果、システム動作が不安定になることがあった。したがって、高速タイプの半導体集積回路を実装するプリント基板には、伝送線路の間隔を広げたり、電磁的遮へいを施したりして有効な周波数対策を行ったほぼ専用品に近いものを選択する必要があり、汎用のプリント基板を使用できないため、システムコストがアップしたり、システム構成の自由度が失われるという不都合があった。

## 【0002】

【従来の技術】図3は上記不都合を解決するために考案された公知の、いわゆる「スルーレート調節回路」である。図3において、INは半導体集積回路内部で作られた信号であり、上述のとおり、立ち上がりや立ち下がりがきわめて急峻な波形を有する信号である。信号INは、バッファ1で反転された後、二つの経路（便宜的に第1の経路2、第2の経路3と言う）に分かれて進み、最終的に、バッファ4から出力信号OUTとして取り出される。

【0003】第1の経路2には、第1のインバータゲート5が設けられている。また、第2の経路3には、第2

のインバータゲート6が設けられている。これら二つのインバータゲート5、6は同一の構成を有しており、一体としてスルーレート調節手段を構成する。代表して第1のインバータゲート5でその構成を説明すると、5aはPチャネルMOSトランジスタTP51とNチャネルMOSトランジスタTN51からなる一般的なCMOSインバータゲート部であり、TP51と高電位電源Vccとの間には高電位側の可変抵抗負荷部5bが、また、TN51と低電位電源（典型的にはグランド）との間には低電位

10 側の可変抵抗負荷部5cがそれぞれ接続されている。なお、トランジスタの添え字の1番目は第1又は第2のインバータゲートの符号を表している。例えば、TN51の添え字の1番目は「5」であるから、このTN51は第1のインバータゲート5のCMOSインバータゲート部5aのNチャネルMOSトランジスタであることを示している。二つの可変抵抗負荷部5b、5cは、並列接続された複数（特に限定しないが3個）のMOSトランジスタで構成されており、トランジスタのチャネルタイプ（導電型）は、高電位側にあってはPチャネル（T

20 P52、TP53、TP54）に、また、低電位側にあってはNチャネル（TN52、TN53、TN54）に統一されている。

【0004】ここで、各可変抵抗負荷部5b、5cの一つのトランジスタ（図では左端のトランジスタ）は、CMOSインバータゲート部5aの同一導電型のトランジスタと同時にオンするようになっており、すなわち、TP52のゲートがVccに接続されるとともにTN52のゲートがVccに接続されており、さらに、他のトランジスタ（図では中央と右端のトランジスタ；TP53、

30 TP54、TN53、TN54、TP63、TP64、TN63、TN64）は、所定の制御信号TC1、TC2及びその反転信号TC1バー、TC2バーの論理に従ってオンオフするようになっている。具体的には、TP53とTP63がTC1バーの論理に従ってオンオフし、TP54とTP64がTC2バーの論理に従ってオンオフし、TN53とTN63がTC1の論理に従ってオンオフし、TN54とTN64がTC2の論理に従ってオンオフするようになっている。なお、図4は所定の制御信号TC1、TC2及びその反転信号TC1バー、TC2バーを生成するための回路図である。制御信号TC1、TC2をそのまま取り出すと共に、インバータゲート7a、7bを介してその逆論理の信号TC1バー、TC2バーを取り出している。

【0005】次表1、2は、制御信号TC1、TC2の論理と、可変抵抗負荷部5a、5b、6a、6bのトランジスタ（TP63、TP64、TN63、TN64、TP53、TP54、TN53、TN54）のオンオフ動作との対応表である。

表1  
(第1のインバータゲート5の動作)

制御信号		トランジスタ				(制御No.)
T <sub>C2</sub>	T <sub>C1</sub>	T <sub>P53</sub>	T <sub>P54</sub>	T <sub>N53</sub>	T <sub>N54</sub>	
L	L	—	—	—	—	0
L	H	ON	—	ON	—	1
H	L	—	ON	—	ON	2
H	H	ON	ON	ON	ON	3

表2  
(第2のインバータゲート6の動作)

制御信号		トランジスタ				(制御No.)
T <sub>C2</sub>	T <sub>C1</sub>	T <sub>P63</sub>	T <sub>P64</sub>	T <sub>N63</sub>	T <sub>N64</sub>	
L	L	—	—	—	—	0
L	H	ON	—	ON	—	1
H	L	—	ON	—	ON	2
H	H	ON	ON	ON	ON	3

但し、ONはオン状態、—はオフ状態を表す。

【0006】表1、2において、制御No. = 0 (T<sub>C1</sub>、T<sub>C2</sub>が共に“L”論理)のときは、いずれのトランジスタもオフ状態にある。したがって、このときには、第1及び第2のインバータゲート5、6の各可変抵抗負荷部5b、5c、6b、6cの左端の一つのトランジスタ (T<sub>P52</sub>、T<sub>N52</sub>、T<sub>P62</sub>、T<sub>N62</sub>) しかオン状態にならないから、各可変抵抗負荷部5b、5c、6b、6cの抵抗値は、一つのトランジスタのチャネルオン抵抗の値(便宜的にR<sub>0</sub>で表す)によって与えられる。

【0007】次に、制御No. = 1のときは、上記の一つのトランジスタ (T<sub>P52</sub>、T<sub>N52</sub>、T<sub>P62</sub>、T<sub>N62</sub>) に加え、中央のトランジスタ (T<sub>P53</sub>、T<sub>N53</sub>、T<sub>P63</sub>、T<sub>N63</sub>) もオン状態になる。したがって、このときの各可変抵抗負荷部5b、5c、6b、6cの抵抗値は、一つのトランジスタのチャネルオン抵抗と、中央のトランジスタのチャネルオン抵抗との並列合成値(便宜的にR<sub>1</sub>で表す)によって与えられる。

【0008】次に、制御No. = 2のときは、上記の一つのトランジスタ (T<sub>P52</sub>、T<sub>N52</sub>、T<sub>P62</sub>、T<sub>N62</sub>) に

$$R_0 > R_1 (= R_2) \text{, かつ, } R_1 (= R_2) > R_3 \quad \dots \text{①}$$

したがって、式①によれば、第1及び第2のインバータゲート5、6のCMOSインバータゲート部5a、6aに加わる電源電圧を、大(R<sub>3</sub>)、中(R<sub>2</sub>又はR<sub>1</sub>)、小(R<sub>0</sub>)の3段階に切り換えることができるから、同電源電圧の大きさに対応して、入力信号INの立ち上がり立ち下がりの傾斜を3段階に変化させることができ、スルーレートを調節した出力信号OUTを得るこ

\* 加え、右端のトランジスタ (T<sub>P54</sub>、T<sub>N54</sub>、T<sub>P64</sub>、T<sub>N64</sub>) もオン状態になる。したがって、このときの各可変抵抗負荷部5b、5c、6b、6cの抵抗値は、一つのトランジスタのチャネルオン抵抗と、右端のトランジスタのチャネルオン抵抗との並列合成値(便宜的にR<sub>2</sub>で表す)によって与えられる。

30 【0009】最後に、制御No. = 3のときは、上記の一つのドランジスタ (T<sub>P52</sub> : T<sub>N52</sub>、T<sub>P62</sub>、T<sub>N62</sub>)、中央のトランジスタ (T<sub>P53</sub>、T<sub>N53</sub>、T<sub>P63</sub>、T<sub>N63</sub>)、及び右端のトランジスタ (T<sub>P54</sub>、T<sub>N54</sub>、T<sub>P64</sub>、T<sub>N64</sub>) のすべてがオン状態になる。したがって、このときの各可変抵抗負荷部5b、5c、6b、6cの抵抗値は、一つのトランジスタのチャネルオン抵抗と、中央のトランジスタのチャネルオン抵抗と、右端のトランジスタのチャネルオン抵抗との並列合成値(便宜的にR<sub>3</sub>で表す)によって与えられる。

40 【0010】以上のことから、各トランジスタのチャネルオン抵抗が略等しいとすると、次式①が成立する。

\*

とができる。

【0011】図5は入力信号INと出力信号OUTの対応図であり、出力信号OUTとして三つの波形A、B、Cが示されている。波形Aは、ほぼ入力信号INと同程度の立ち上がり傾斜を持っているが、波形B、波形Cの順に立ち上がりが緩やかになっている。波形Aは制御No. = 3のとき (R<sub>3</sub>) のもの、波形Bは制御No. = 2

(又は1) のとき ( $R_2$  又は  $R_1$ ) のもの、波形Cは制御No. = 0のとき ( $R_0$ ) のものである。プリント基板の特性に対応した最適な制御No. を選択すればよい。

【0012】

【発明が解決しようとする課題】しかしながら、かかる従来の半導体集積回路にあっては、第1及び第2のインバータゲート5、6の電源電圧を加減することによって、出力信号O U Tの立ち上がりや立ち下がりの傾斜をコントロールし、スルーレートを調節する構成となっていたため、図5にも示すように、出力信号O U Tの立ち上がりや立ち下がりの傾斜が緩やかになるほど、信号遅延が増えるという不都合があり、信号スキューを回避するために、半導体集積回路間の信号タイミングを微調整しなければならないという問題点があった。

【0013】そこで、本発明は、スルーレート調節に伴うタイミング調整を不要にすることを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するために、インバータゲートの電源電圧を変更することにより、該インバータゲートを介して出力される信号の立ち上がりや立ち下がりの傾斜を調整するスルーレート調節手段を有する半導体集積回路において、前記インバータゲートを2段構成とするとともに、前段のインバータゲートと後段のインバータゲートの双方の電源電圧を同量、かつ、逆向きに変更し得る電源電圧変更手段を備えたことを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係る半導体集積回路の一実施例を示す図である。なお、以下の説明において、従来例と共通する構成要素には同一の符号を付すとともに、その説明を省略する。

【0016】第1の経路2には、従来例と同様の第1のインバータゲート5が設けられており、また、第2の経路3にも、従来例と同様の第2のインバータゲート6が設けられているが、本実施例では、さらに、第1のインバータゲート5の後段に第3のインバータゲート8を設けると共に、第2のインバータゲート6の後段に第4のインバータゲート9を設けている。すなわち、各経路毎に、同一構成の2段のインバータゲートを設けている。なお、本実施例でも、トランジスタの添え字の1番目は第1～第4のインバータゲートの符号を表している。例えば、 $T_{N82}$  の添え字の1番目は「8」であるから、この $T_{N81}$  は第3のインバータゲート8のCMOSインバータゲート部8aのNチャネルMOSトランジスタであることを示している。

【0017】ここで、第1のインバータゲート5と第3のインバータゲート8に対する制御信号 ( $T_{C1}$ 、 $T_{C2}$ 、 $T_{C1}$ バー、 $T_{C2}$ バー) の与え方は逆である。同様に、第2のインバータゲート6と第4のインバータゲート9に

対する同制御信号の与え方も逆である。例えば、第1のインバータゲート5の高電位側の可変抵抗負荷部5bには $T_{C1}$ バーと $T_{C2}$ バーが与えられ、低電位側の可変抵抗負荷部5cには $T_{C1}$ と $T_{C2}$ が与えられているが、第3のインバータゲート8の高電位側の可変抵抗負荷部8bには $T_{C1}$ と $T_{C2}$ が与えられ、低電位側の可変抵抗負荷部8cには $T_{C1}$ バーと $T_{C2}$ バーが与えられている。このように逆論理の制御信号を与えることによって、前段のインバータゲートと後段のインバータゲートの双方の電源電圧を同量、かつ、逆向きに変更できるようになる。したがって、制御信号 $T_{C1}$ 、 $T_{C2}$ 、 $T_{C1}$ バー、 $T_{C2}$ バー、及び、第1～第4のインバータゲート5、6、8、9の各可変抵抗負荷部5b、5c、6b、6c、8b、8c、9b、9cは、一体として発明の要旨に記載の電源電圧変更手段としての機能を有している。

【0018】次に、作用を説明する。前表1、2において、制御No. = 0にすると、第1のインバータゲート5又は第2のインバータゲート6の出力に現れる信号の立ち上がりや立ち下がりの傾斜が最も緩やかになるとともに、その信号の遅延量が最大になり、また、制御No. = 3にすると、第1のインバータゲート5又は第2のインバータゲート6の出力に現れる信号の立ち上がりや立ち下がりの傾斜が最も急になるとともに、その信号の遅延量が最小になるが、第3のインバータゲート8や第4のインバータゲート9の動作は全くこの逆になる。

【0019】すなわち、制御No. = 0のときには、第3のインバータゲート8又は第4のインバータゲート9の出力に現れる信号の立ち上がりや立ち下がりの傾斜が最も急になるとともに、その信号の遅延量が最小になり、また、制御No. = 3にすると、第3のインバータゲート8又は第4のインバータゲート9の出力に現れる信号の立ち上がりや立ち下がりの傾斜が最も緩やかになるとともに、その信号の遅延量が最大になる。次表3は、制御No. と遅延量との関係をまとめたものである。

【0020】

表3

制御No.	遅延量	
	5, 6	8, 9
0	大	小
1 (2)	中	中
3	小	大

表3からも理解されるように、第1及び第2のインバータゲート (5, 6) と、第3及び第4のインバータゲート (8, 9) との遅延量は、互いに補完しあう関係にある。したがって、本実施例の出力信号O U Tは、図2に50 三つの波形A'、B'、C'で示すように、制御No.

= 1 (2) のときの波形 B' を基準に、それよりも前に波形 A' が位置し、それよりも後に波形 C' が位置する結果、波形の傾斜を変えてスルーレートを調節した場合でも、遅延時間を一定にすることができ、タイミング調整を不要にすることができる。

【0021】なお、上記実施例では、可変抵抗負荷部 5b、5c、6b、6c、8b、8c、9b、9c のトランジスタのチャネルオン抵抗の大きさを等しいものとして説明したが、これに限るものではない。チャネルオン抵抗に適切な差を付けることにより、制御 No. 分のスルーレート調整段数 (No. が 0~3 であれば 4 段) を得ることができる。

【0022】

【発明の効果】本発明によれば、前後段のインバータゲートの遅延量が互いに補完しあう関係になり、したがって、スルーレートを調節した場合でも、遅延時間を一定

にすることができ、タイミング調整を不要にすることができる。

【図面の簡単な説明】

【図 1】一実施例の構成図である。

【図 2】一実施例の信号波形図である。

【図 3】従来例の構成図である。

【図 4】制御信号の生成回路図である。

【図 5】従来例の信号波形図である。

【符号の説明】

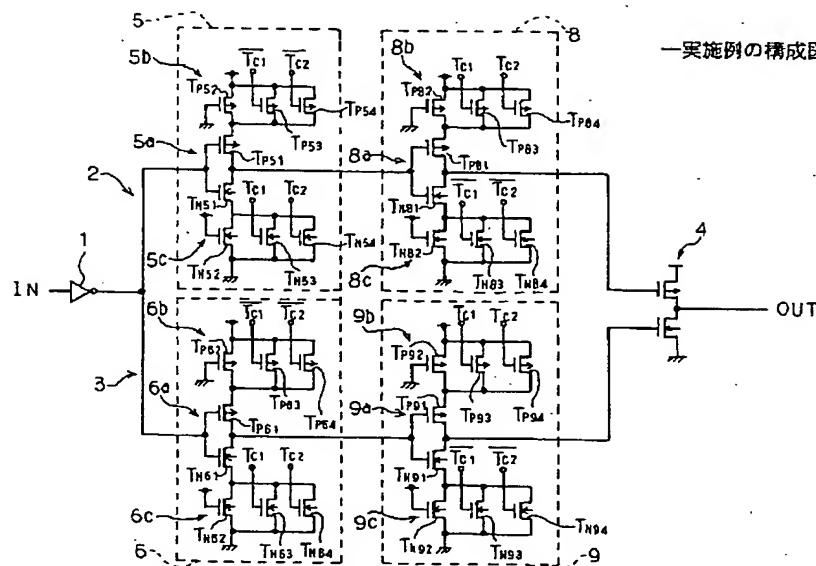
10 5 : 第 1 のインバータゲート (スルーレート調節手段)

6 : 第 2 のインバータゲート (スルーレート調節手段)

5a、6a、8a、9a : CMOS インバータゲート部 (インバータゲート)

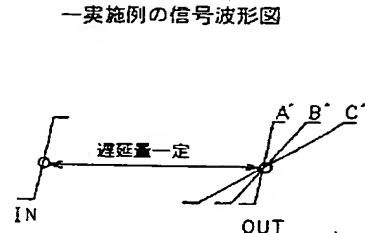
5b、5c、6b、6c、8b、8c、9b、9c : 可変抵抗負荷部 (電源電圧変更手段)

【図 1】



【図 2】

一実施例の構成図

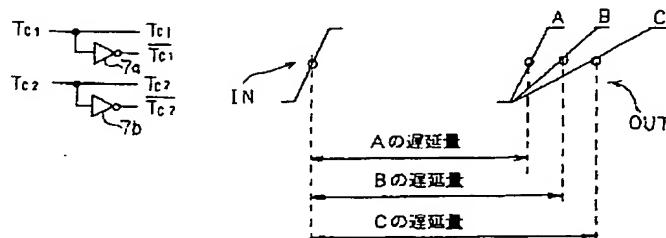


【図 4】

【図 5】

制御信号の生成回路図

従来例の信号波形図



【図3】

BEST AVAILABLE COPY

